

國立台灣大學

電子工程學研究所(EDA組)暨電機工程學研究所(CS組)

電子設計自動化實驗室

The Electronic Design Automation (EDA) Laboratory

(2006 年10 月)

壹、實驗室現況

台灣大學電子工程學研究所(EDA組)暨電機工程學研究所(CS組)電子設計自動化實驗室(Electronic Design Automation Laboratory)座落於博理館406 室，指導教授是張耀文博士。實驗室現有十二名博士班學生，九名碩士班學生，四名碩士在職專班學生。EDA實驗室自2001年成立以來，入學成員包含2002年碩士入學考試ICS組榜首、2003年和2004年碩士甄試入學CS組第一名、2004年博士直升入學ICS組(及全電機學群)第一、二名、2005 年博士直升入學EDA組(及全電機學群)第一名及考試入學第一名、2005年碩士甄試入學EDA組第一、二、三名、2006年電子所EDA組首屆碩一學年成績第一、二名及博一學年成績第一、二名等(更特別的，獲得全電機學群第一名及博士班入學第一名者有原大學成績為班上後段者，但在本實驗室淬勵奮發、成績突飛猛進)。截至目前為止(2006年10月)，實驗室共計畢業四位博士班學生(平均修業年數四年)，三十七位碩士班學生(包含張耀文教授任教交通大學時的指導學生)。博士畢業學長姊們多數在學術界任教(南華大學資管系系主任、交通大學電子系助理教授及瑞昱半導體國防役)，碩士畢業學長姊們則多數投入國內外IC設計、EDA、IC 設計服務、晶圓製造產業界(例如台積電、思源、智原、瑞昱、聯發科、義隆電、威盛、Synopsys等)，少數出國繼續深造。執行計畫分別來至國科會、思源、聯電、智原、聯發科、瑞昱、台積電與廣達等，每年計畫總金額約近千萬元。實驗室主要的硬體研究設備有工作站、PC Servers 與每人皆配備的個人電腦及筆記型電腦各一台，軟體設備有各種EDA工具(Cadence、Synopsys等)，軟體工具有LEDA、LINDO、MATLAB packages等，另外實驗室自費購買為數龐大的原文書籍(超過300本; 堪稱國內此領域最齊全的圖書館)，以供研究需要。

張耀文教授於1988年自台灣大學資訊工程學系畢業，在服役及擔任中研院研究助理後，負笈至美國德州大學奧斯汀校區(The University of Texas at Austin)，分別於1993 及1996 年獲得碩士及博士學位。在美期間，曾於IBM華生研究中心(T. J Watson Research Center)的VLSI Design Group擔任短期研究員。張耀文教授於1996年回國後，先任教於交通大學五年，於2001年轉任台灣大學。在此期間，曾獲2005、2006年國科會「研究計劃第一級主持費」(formerly 傑出研究獎)、2005「旺宏電子青年教授講座」、2004年國科會吳大猷紀念獎(微電子工程學門[VLSI 設計、EDA、固態電子]第一位獲此獎者)、2004年台灣大學首屆研究成就獎(現今「傅斯年獎」)、2004年及2006年教學優良獎、2000年教育部VLSI 教改計劃優良教材獎、2000年交大首屆優良教學獎，受命承辦教育部第一、二屆「大學校院積體電路電腦輔助設計軟體製作競賽」(2000--2001年)，並擔任教育部「VLSI電路與系統教育改進計畫」SOC總聯盟執行秘書至2004年底(2002--2004年)，2005年接任教育部EDA聯盟召集人，協助推動國內VLSI相關之教育改進案。另外，張耀文教授曾擔任國科會微電子學門VLSI/CAD規劃委員，協助規劃國內VLSI/CAD研究發展方向。其現任多項經濟部業界科專計畫審查委員，協助國內半導體設計產業界之發展；又現任台灣IC設計學會理事，積極協助國內IC設計領域的發展；曾擔任聯發科技與智原科技顧問，協助該公司相關領域的技術發展。在國際方面，目前擔任ACM/SIGDA Physical Design Technical Committee Member (ACM實體設計技術委員會委員)，規劃國際在實體設計領域的研究發展方向及其它相關推廣教育任務，目前並擔任所有六個EDA/Physical design 領域最頂尖的國際會議 ACM/IEEE DAC, IEEE/ACM ICCAD, ACM ISPD, ACM/IEEE ASP-DAC, ACM/IEEE DATE, IEEE ICCD的議程委員(為ASP-DAC-2007 Topic Chair)，並擔任其他重要Circuit Design/EDA國際會議 ACM GLSVLSI, IEEE SOC, IEEE FPT, IEEE VLSI-DAT, IEEE APCCAS 等會議的議程委員、日本頂尖的Waseda University (早稻田大學)客座教授及香港研究資助局海外審查委員等，並曾受邀至Bell Labs、Xilinx、Arcadia Design Systems、Waseda University、Kyoto University (京都大學)、Kyushu University (九州大學)、University of Kitakyushu (北九州大學)、Japan SIRIJ 等數單位演講，希望能對提昇我國之國際學術地位有所幫助。

貳、研究成就

本實驗室的研究領域集中在奈米積體電路(nanometer ICs)和可重組化系統(reconfigurable systems)的實體設計(physical design)及SOC晶片系統整合、製程量產可行性設計(design for manufacturing)、FPGA及組合最佳化等。在奈米的積體電路製

程技術下，由於有較小的元件形狀(device geometry)、較大的晶元尺寸(die size)、較快的上升時間(rise time)、較高的操作頻率(operating frequency)和較低的操作電壓(operating voltage)，這些變化使得奈米IC設計在各階段皆面臨許多嶄新的挑戰。尤其實體設計階段乃決定電路元件及其連線之實際位置，此受奈米製程技術之影響甚鉅，因此產生極多的研究問題亟待解決。本實驗室研究稟持重質的原則，近五年多來(2001--2006)共發表28篇SCI期刊論文(其中23篇為最頂尖的ACM/IEEE Transactions期刊論文，尚有其他10篇ACM/IEEE Transactions期刊論文修訂中)，52篇ACM/IEEE會議論文(其中有17篇發表於EDA領域最重要的國際會議ACM/IEEE Design Automation Conference [DAC] 和IEEE/ACM International Conference on Computer Aided Design [ICCAD]，日本於此時期發表最多者為4篇)，及34篇其他會議或專書論文。本實驗室的研究國際方面曾獲2006年ACM ISPD Placement Contest全球第三名(整體總分與第一名差距小於2%，在誤差範圍內；此為國內首次EDA軟體研發成果獲國際競賽大獎；目前成績為全球第一名，領先第二名達4%，發表於ICCAD-2006)、IEEE Int'l Conf. on Computer Design (ICCD-1995)的最佳論文獎，近六年每年皆獲頂尖期刊獲會議提名最佳論文獎，例如2005 DAC (兩大最重要的CAD國際會議)、2004 ASP-DAC、2003 ACM Transactions on Design Automation of Electronic Systems、2002 ICCAD (兩大最重要的CAD國際會議)、2001 ICCD 及2000 DAC，近年每年皆有兩件實驗室研發的EDA軟體獲得ACM Travel Grant Awards於DAC展出；而國內方面，曾獲思源科技DAC論文獎(2003--2006，為唯一每年皆獲獎者)、中國電機工程學會青年論文獎(1998、2002、2005年)、The VLSI Design/CAD Symposium 最佳學生論文獎(2000年---僅此年頒發此獎)、首屆國科會最佳碩士論文獎(2002年)、中華民國資訊學會博士論文獎(2002、2005年)、首屆沈文仁教授年度論文獎(2002年)、龍騰論文獎(2005年)、科林論文獎(2002、2003、2005年)、教育部主辦大專院校積體電路電腦輔助設計軟體製作競賽多項大獎(每年皆獲各項大獎，例如2002-2006年共計獲得特優7件[全部特優共14件]，優等6件[全部優等共14件])、The VLSI Design/CAD Symposium最佳學生論文獎(唯一於2000年頒發)等。近年研究成果曾獲全球半導體產業最重要的EE Times 周刊報導(1999年2月23日)。

我們近五年內在實體設計的主要步驟，如平面規劃 (floorplanning)、擺置 (placement) 及繞線 (routing)皆獲致文獻上最佳的結果；而在奈米製程可行性與可靠度設計、可重組化系統的實體設計與生物晶片(bio-chip)的擺置問題、和低功率及電源完整性設計，亦有多項研究成果獲致文獻上最佳的結果。茲說明此研究成果如下：

1. 平面規劃 (Floorplanning)

隨著VLSI製程技術的日益進步，IC設計的複雜度也急速升高。為了處理高複

雜度的設計，IP (intellectual property)模組和階層式設計(hierarchical design)被廣泛地應用於IC設計中以提高設計生產力，然而文獻上處理模組的平面規劃問題成效有限，且業界亦缺乏有效的平面規劃工具，此使得VLSI平面規劃成為當今最熱門且重要的EDA研究主題。要實現模組的平面規劃，首先需有一個表示法(資料結構)來描述模組之間的相對位置，藉由此表示法，我們得以運用各種搜尋技術求得適當平面規劃及其各項衍生問題的解。因此，發展一個有效、快速而且深具彈性的表示法，為處理平面規劃最基本且最重要的問題。

我們於近年提出多項平面規劃表示法，包括 B*-tree、TCG、TCG-S 和 CS 四種表示法。此表示法皆發表於 EDA 領域中最頂尖的期刊，且除 CS 直接發表於期刊外，B*-tree 和 TCG 表示法與其延伸的 MB*-tree 和 TCG-S 等相關論文，最早皆發表 EDA 領域公認最頂尖的國際會議 ACM/IEEE Design Automation Conference (DAC)，且皆為 regular papers: B*-tree：DAC-2000；TCG：DAC-01；TCG-S：DAC-02；MB*-tree：DAC-03。其中 B*-tree 曾獲得 DAC-2000 最佳論文獎提名，而 B*-tree、TCG 和 TCG-S 皆獲選為當年度 Floorplanning Session 的第一篇 (DAC-2000、DAC-02 和 DAC-03 國內僅有我們的論文獲 DAC 接受發表；DAC 目前接受率約為 20%)。這些表示法已成為 VLSI 平面規劃研究必參考的方法：以 B*-tree 為例，雖僅發表約六年(DAC-2000)，目前 SCI 期刊及 IEEE/ACM 會議論文的 citation 數已超過 150 篇(近四年於 ACM/IEEE 論文引用 B*-tree 比率皆超過全部平面規劃論文的 70%)；而 TCG 在發表約五年後(DAC-01)，citation 數亦已超過 60 篇，且此數量正快速增加中。B*-tree 和 TCG 表示法近年已被公認為目前最常用的三個平面規劃表示法 (另一表示法為日本研發的 sequence pair)，而 **B*-tree 更被評為最佳的 packing 法** (參見由密西根大學 Igor Markov 教授發表於 ACM ISPD-2005 的論文)。國內教育部主辦的 CAD 競賽至今共有三年(2002, 2003, 2005)三題與平面規劃相關，此三年第一名的作品皆採用 B*-tree。我們的 B*-tree floorplanner 並於 2003 及 2004 年獲得 ACM/SIGDA 的 Travel Grant Award 於 DAC 的 University Booth 參加展出，最近多項關於平面規劃的應用研究所獲得的最佳結果，幾乎皆以 B*-tree 為其核心技術。另 B*-tree 和 TCG 表示法更衍生出 T-tree (ICCAD-04) 及 3D-subTCG (ASPDAC-04)的表示法，用以處理三維和重組化系統的平面規劃問題與生物晶片 (bio-chip)的擺置問題(DAC-06)，所得成果皆為當今文獻中的最佳結果。

以 B*-tree 為基礎的 floorplanners 已藉由與美國 Intel Corp.、聯發科技和思源科技的產學合作計畫被應用於工業界的 IC 設計中。由 B*-tree 延伸發表於 DAC-03 (已為 IEEE TCAD 接受)的 MB*-tree 所得結果遠優於 Intel 內部所開發的 floorplanner；由 B*-tree 延伸發表於 ICCAD-05 (TCAD minor revision) 的 IMF 為文獻上處理極大型電路平面規劃最佳之結果，此技術已技轉思源科技申請美國專利中；由 B*-tree 延伸的 MP-tree 所實作出的大型電路巨集擺置器(macro placer)已用於聯發科技的晶片設計上，根據聯發科技的測試，此巨集擺置器的品質遠優於 EDA 三大公司 Synopsys、Cadence 和 Magma 的工具，因此聯發科技在今年初獲得技轉後立即申請

美國專利。更特別的，上述工具所用到的技術，皆純為我們實驗室的研發成果，並未引到任何文獻上的技術。而思源科技所推動的『思源前瞻技術研發中心計畫』亦採用 B*-tree 為其 floorplanning 的核心技術，該計畫於 2003 年八月由經濟部同意推薦辦理，其核心宗旨除了強化國內 IC 設計業者競爭能力外，更重要的是研發未來三至十年間所需的前瞻性 VLSI/CAD 技術，進而設計創新出高階 VLSI/CAD 軟體，以提升全球競爭力[中國時報 92 年 9 月 4 日報導]。希望藉由這些與國內外產業界的合作關係，貢獻我們對 floorplanning 的研究成果，以對此領域的進步，略盡棉薄之力。

下表為最近文獻上提出的八種重要表示法(後四者皆為我們的研發成果)，根據此領域共同使用的五個 MCNC benchmark circuits 作測試所得到的晶片面積結果比較。由此表可知，目前文獻上對此共同的 benchmark circuits 可得到最佳(最小)晶片面積者(塗陰影之欄位者)幾為我們所提的表示法。此客觀的數據顯示我們在 floorplan 表示法研究上的貢獻及國際地位。

MCNC Circuits	SP (日本) 1995年	Q-Seq (日本) 2002	O-tree (美國) 1999	CBL (中國大陸) 2001	TCG (台灣) 2001	TCG-S (台灣) 2002	CS (台灣) 2003	B*-tree (台灣) 2000
apte	48.12	46.92	47.1	NA	46.92	46.92	46.92	46.92
xerox	20.69	19.93	20.1	20.96	19.83	19.796	19.83	19.796
hp	9.93	9.03	9.21	NA	8.947	8.947	8.947	8.947
ami33	1.22	1.194	1.25	1.20	1.20	1.185	1.18	1.168
ami49	38.84	36.75	37.6	38.58	36.77	36.4	36.28	36.4

表一：各表示法所獲得的晶片面積(mm)²

2. 擺置 (Placement)

由於系統晶片(SOC)與製程技術的進步，晶片設計的複雜度也隨著急速升高。當代 SOC 晶片通常包含大小差異甚巨的數百/千的 macros 和數百萬的 standard cells，然業界尚缺乏能有效處理此高複雜度設計的擺置器(placer)，此使得 placement 成為當今極熱門且重要的 EDA 研究主題。有鑑於此迫切的需求，ACM/IEEE 實體設計會議 (ISPD) 更於 2005 年起連續兩年舉辦 Placement 競賽，以刺激此領域的研究。

我們於 2005 年初投入 placement 的研究，經年餘的努力有成，於 2006 年四月初的 ACM/IEEE ISPD Placement 競賽，以 NTUplace2 擺置器擊敗其他學校多年的研究，榮獲全世界第 3 名(成績與前兩名差距僅在小於 2% 的誤差範圍內；目前成績為全球第一名，領先第二名達 4%，發表於 ICCAD-2006; 參見表 C702-1)，

此為台灣及亞洲首次於國際 EDA 軟體競賽中獲得大獎，對提升台灣在國際學術上的能見度，助益極大。該大會技術議程主席紐約州立大學 Patrick H. Madden 教授並公開以「台灣大學真是令人感到非常驚訝！兩年前積體電路擺置研究的世界地圖上還看不到台灣的存在，沒想到現在台灣大學已經名列前茅。」一席話顯示對台灣 EDA 的研發表現讚賞不已。我們於競賽後更立即改進方法，開發出以多階層 (multilevel) 及解析 (analytical) 方法為架構的 NTUplace3 擺置器，較之競賽冠軍隊有達4%的勝差(參見表 C702-1)，此作品於四月底投稿頂尖 EDA 會議 ICCAD-06 並獲接受。此為文獻上最佳的擺置器，此對台灣在此領域的能見度及地位，當有極大的俾益。

Ranking	*	1	2	3	4	5	6	7	8	9
Placer	NTUplace3	Kraftwerk	mPL6	NTUplace2	mFAR	APlace3	Dragon	FastPlace	DPlace	Capo
Score	0.99	1.03	1.04	1.05	1.11	1.16	1.23	1.33	1.36	1.39

表二: ISPD-06 Placement 競賽排名 (NTUplace3 較之冠軍隊 Kraftwerk 有達4%的勝差)

由於業界的殷切需求，我們正將 NTUplace3 的技術轉移給瑞昱半導體和思源科技中。根據瑞昱半導體的設計實例，NTUplace3 的延伸版本已可獲得優於業界第一名 Synopsys Astro 的結果，而思源科技亦將以 NTUplace3 為基礎，開發能有效處理當代設計限制的新型擺置器。我們期望 NTUplace3 的技術能對將來 placement 的工業軟體及學術研發，有深刻的影響，且讓我們拭目以待。

3. 繞線(Routing)

由於SOC晶片繞線複雜度的急速升高，繞線問題為公認極為難解的EDA研究主題。我們於五年前大力投入此領域的研發，目前已獲致多項成果，除發表多篇論文於頂尖期刊 IEEE Trans. CAD (TCAD) 及頂尖會議 ICCAD、DAC、ISPD和ASPDAC，並獲 ICCAD-2002 和 DAC-2005 最佳論文獎提名。繞線器主要分為兩大類：有格線式繞線器 (grid-based router) 與無格線式繞線器 (gridless router)，目前文獻上具有最高可繞度的此兩類繞線器皆為我們的研發作品 (有格線式繞線器: MR；無格線式繞線器: MGR，二者皆發表於 IEEE TCAD)。去年我們並將此繞線技術延伸至 X-architecture 的結構，亦獲致文獻上最佳的結果，並獲頂尖EDA會議 DAC-2005 最佳論文獎提名。我們近年所開發的多項繞線技術和新的V-型多階層繞線架構 (V-shaped multilevel routing framework)---有別於傳統的倒V型---已技術轉移給思源科技，並成為其新進開發繞線器的架構及核心技術，而V-型多階層繞線架構更由思源科技申請美國專利中。

4. 製程可行性與可靠度設計 (Design for Manufacturability and Reliability)

隨著積體電路技術進入奈米製程的時代，由於攸關生產良率，製程可行性與可靠度成為積體電路設計與製造的重要考量。我們近年在製程天線效應(antenna effect)和導通孔開路缺陷(via-open defect)等兩個主要的製程可行性與可靠度問題的研究上有重要的突破。我們為文獻上第一個團隊將以 jumper 插入法防制天線效應的問題定義為一個在繞線樹(routing tree)作切割的最佳化問題，並於頂尖會議 DAC、ISPD 和頂尖期刊 IEEE TCAD 提出一系列具有最佳解的演算法處理各種條件下的相關問題。此有別於之前的文獻僅能提出經驗解(heuristic)，因此我們的研究獲得學術界極大的關注，近年已有多篇其他團隊 follow-up 的論文發表於 DAC、ISPD 和 TCAD。今年我們更於頂尖會議 ICCAD-06 提出以 min-cost flow 為基礎的最佳演算法，同步以 jumper 和 diode 插入法解決天線效應的問題。

導通孔開路缺陷是導致電路失效原因中主要的一種，為了提升導通孔的良率及可靠度，冗餘導通孔插入(redundant-via insertion)是一個由晶圓代工廠高度推薦的技術。我們於 DAC-06 提出一個以圖形匹配(graph matching)為基礎，在繞線及後佈局(post-layout)階段皆適用的雙導通孔插入演算法，以提升良率。實驗結果顯示，此方法獲致文獻上最佳的結果，其品質更遠優於 Cadence 的最新工具，因此聯華電子在今年獲得技轉後立即申請美國專利。

5. 可重組化系統的實體設計(Physical Design for Reconfigurable Systems)

動態可重組化系統(dynamically reconfigurable system)可藉由動態重新使用硬體來增進邏輯效能，此為當今SOC系統的重要研究主題。我們於IEEE TCAD 和ACM TODAES 提出以mathematical programming 的方法，分別處理動態可重組化電路系統的分割與擺置問題，並皆獲致文獻上最佳的結果。近年我們提出3D-subTCG (ASPDAC-04)及T-tree (ICCAD-04)的表示法來處理可重組化系統的平面規劃問題，所得結果亦為當今文獻中之最佳解，其中3D-subTCG更獲得ASPDAC-04最佳論文獎提名。今年我們更將T-tree的技術應用於生物晶片(bio-chip)的擺置問題，並獲致文獻上最佳的結果(DAC-06)。

6. 低功率設計及電源完整性 (Low Power Design and Power Integrity)

近年我們並致力研究以電源完整性(power integrity)為導向的設計流程方法，在平面規劃階段同時進行電源網路的合成設計，以加速設計的收斂速度(design convergence)並減低耗電及壓降(voltage drop)，以解決晶片系統設計中最嚴厲的電源完整性問題。實驗結果顯示，此方法的品質遠優於 Synopsys 的設計流程(DAC-04, ISPD-06, TCAD-07)。我們最近並提出一個以動態規劃(dynamic programming)為基礎，同步考量功率與時序最佳化，處理多重電壓壓島(voltage island)的分割與平面規劃演算法，此成果將發表於頂尖會議 ICCAD-06。

7. FPGA 的結構設計

現場可程式閘陣列(Field-Programmable Gate Array, FPGA)的繞線資源由開關模組(switch modules)和導線段(wire segments)所組成。FPGA 的繞線為藉由控制開關(switch)以連接導線段。因此，開關模組和導線段的設計深刻地影響著FPGA 的可繞度(routability)。我們設計並分析工業界所用的開關模組和導線段，茲將成果分述如下：

- A. 開關模組的設計(**Switch-module Design**) 對工業界所用的開關模組，我們將其結構模化並歸納為兩大類：開關方塊(switch block) 和開關陣列(switch matrix)。為了探求具有最高可繞度的開關模組，我們首先提出「通用型開關模組」(universal switch modules)的觀念和定義，並藉由一套解析的模型，設計並量化分析出完備的整組最低成本的「通用型開關方塊」(universal switch blocks)。我們並證明此「通用型開關方塊」比當今全世界銷售量最高的Xilinx XC4000 型FPGA 所用的開關方塊，可具有多25%的可繞度。近年來，我們並已成功地將「通用型開關方塊」的結果拓展至三維和一般化的FPGA。其中「一般化通用型開關方塊」已發表於IEEE Trans. on Computers。而「三維通用型開關方塊」的成果於ACM FPGA'99 報告後，亦獲EE Times 報導(Feb. 23, 1999)。對於開關陣列，我們證明其不可能有「通用型」的結構。為了設計具有最高可繞度的開關陣列，我們首先提出「似通用型開關陣列」(quasi-universal switch matrices) 的觀念和定義，設計並量化分析出整組最低成本的「似通用型開關陣列」，此結果已發表於IEEE Trans. on Computers。我們對開關模組的研究成果已為工業界和學術界所熟知，並至少已列入UC-Berkeley, Dept. of EECS(Prof. J. Wawrzynek)及CIT, Dept. of CS(Prof. A. DeHon)研究所“Reconfigurable Computing” 的課程內容。
- B. 導線段的設計(**Segmentation Design**) 隨著製程技術的日益精進，百萬邏輯閘的FPGA 已問世。然而，能否充分地利用此種超大型的FPGA，其一關鍵即在於導線段結構的設計。近年中，我們發展了一套基於圖形匹配(matching-based)的導線段結構設計法。此為當今所有文獻中最佳之結果。此成果已發表於1998 IEEE/ACM Int'l Conf. on Computer-Aided Design 及 IEEE Trans. on Computer-Aided Design (April 2000)。

參、進行中的計畫

(1) 國科會計畫：

- 極大型混合尺寸標準單元/模組的擺置/平面規畫(Large-Scale Mixed-Sized Cell/Module Placement/Floorplanning)

對於極大型積體電路而言，一個能夠有效而迅速的擺置混合尺寸標準單元/模組的設計方法是相當重要的。本計畫的目的在建立一個針對固定邊界(Fixed-Outline)、混合尺寸標準單元/模組、並且可以同時考慮不同條件的平面規劃/擺置方法。

- **多媒體系統晶片之系統整合(Integration of Multimedia SOC Systems)**
 本計畫之目的在開發整合性多媒體系統晶片。各部分包括了 ISS、AMBA、Flash Drive、DWT 與 ARM。整合各部分的開發環境為 System C。本實驗室在此計畫中將支援整合各功能區塊(Functional Block)之實體設計技術。
- **可重組化系統之實體設計(Physical Design for Reconfigurable Systems)**
 本計畫旨在探求可重組化系統於實體設計(Physical Design)層次所產生問題的解決方法，研究領域包含：(1)可重組化電路的實體設計，(2)系統各模組的整合(含大型電路的佈局規劃、擺置及繞線等)，及(3)系統及系統匯流排設計電氣效應的模擬。
- **超大型奈米積體電路之無網格式全晶片繞線(Gridless Full-Chip Routing for Very-Large Scale Nanometer ICs)**
 在此計畫中，我們將(1)提出奈米電氣效應的模型，(2)針對奈米電氣效應，提出最佳化的方法，及(3)發展一套以訊號完整性、可靠度、以及可製造性為導向，並且能夠處理極大型電路、以無格線為基礎的多階層全晶片繞線器。
- **修正與避免天線效應的跳線嵌入 (Jumper Insertion for Antenna Avoidance/Fixing)**
 本計畫之目的在於利用跳線嵌入來修正與避免天線效應。天線效應(Antennal Effects)是指在以電漿為基礎(Plasma-Based)的製程中，電荷在導體上累積所造成的結果。跳線雖然可以修正天線效應，卻會佔據晶片上的空間與降低電路的效能。在以最少的跳線數來修正天線效應是本計畫的主要方向。
- **功能轉換時的備用標準單元之選擇(Spare Cell Selection for Functional Changes)**
 備用標準單元(Spare Cell)是用來作設計上的改變。若想要對已經完成的設計作功能轉換時，只要對少數上層光罩作改變，使得設計連結到被選擇的備用標準單元上即可。本計畫的目的是在達到功能轉換的前題上，找到連結備用標準單元的最小成本。

(2) 業界計畫:

- **思源科技(SpringSoft Crop.)—全客制積體電路之平面規劃與繞線(Floorplanning and Routing for Full-Custom IC Design)**
 對於全客制的 IC 設計流程，在模組擺置／平面規劃(Floorplanning) 與繞線(Routing) 方面，往往是最耗時間的部分。本計畫即是要針對模組擺置與繞線方面提出有效的演算法，結合 Laker 佈局工具，一方面可以快速幫助使用者完成所需的自動化功能，另一方面可以完全符合各種設計上的特殊限制。

- **廣達電腦(Quanta Corp.)—印刷電路板設計之整合環境:第一階段:設計規則檢查與繞線器(Comprehensive Environment for PCB Design: Design Rule Checker & Router)**

隨著 CPU 外頻不斷增高，在實現 PCB routing 的時候，無法像從前般地忽略高頻時才會產生的效應。一個有效率的自動化繞線器，將可大幅縮短繞線工程師花在”嘗試-錯誤”的時間。同時，由於 PCB 上的 pin 腳也是與日俱增，使得繞線的工作難度增加，所以亟需一樣可信度高的工具來檢查繞線是否違背了設計法則(Design Rule)。
- **聯華電子(UMC Corp.)—奈米積體電路之實體設計(Physical Design for Nanometer IC Design)**

本計畫的目的在發展同時考慮平面規劃(Floorplanning)與及電源線路的合成(Power/Ground Network Synthesis)的架構，以及考慮奈米電子效應(Nanometer Electrical Effects)的極大型電路繞線。
- **智原科技(Faraday Corp.)—覆晶式封裝設計之繞線(Routing for Flip-Chip Design)**

覆晶式(flip-chip)封裝提供了最高密度的封裝方式，來支接受 pad 限制的 ASIC 設計。對大部分實際的設計，block、IO 之位置都是在 physical implementation 的階段已完成擺置及設定。本計畫的目標是研究一個有效率的繞線方法，將各區塊的 port 和 bump ball 間作連線以達成最短化連線長度、最小化訊號延遲差異等的最佳化。
- **聯發科技(Media Tek.)—混合區塊與標準單元的擺置(Placement for Mixed-Size Blocks and Standard Cells)**

電路的擺置決定了連線的長度同時決定了電路整體的效能。隨著積體電路科技的進步，特別是系統晶片(SOC)中的智財區塊(IP Block)再利用，導致電路的擺置中，可擺置的區塊和標準單元的尺寸有極大的差異。本計畫旨在研究一個混合區塊與標準單元的擺置工具，同時也要達到最小的總連線長度。
- **台積電 (DSD Division, TSMC)—1. Voltage Island Partitioning and Floorplanning for Power and Timing Optimization**
- **台積電(TSID Division, TSMC)—2. Design for Manufacturing**
- **瑞昱半導體—Position-Constrained Mixed-Size Placement**

肆、實驗室主要研究方向

實驗室現在及未來學術研究的主要領域為奈米技術(nanometer technology)和可重組化(reconfigurable computing)系統的實體設計(physical design)。奈米工程技術為下世代重要的前瞻技術，美、加、日等先進國家皆已提升該技術為國家型計劃，政府有鑑於此，亦開始進行此項國家型計劃。在奈米的IC 製程技術下，元件尺寸小於

100 nm，由於有較小的元件形狀(device geometry)、較大的晶元尺寸(die size)、較快的上升時間(rise time)、較高的操作頻率(operating frequency) 和較低的操作電壓(operating voltage)，這些變化使得奈米IC 設計在各階段皆面臨許多嶄新的挑戰。尤其實體設計階段乃決定電路元件及其連線之實際位置，此受奈米製程技術之影響甚鉅，因此產生極多的研究問題亟待解決。茲以設計層次的觀點說明奈米技術實體設計的前瞻研究領域如下：

(1)製程(Process):

在奈米技術的製程中，sub-wavelength lithography 容易產生晶元上電路元件及連線尺寸形狀的變異(variation)。此變異有可能造成無法預期的電路行為，而使設計者所做的最佳化徒勞無功。因此，如何在實體設計中降低因製程變異(process variation) 而產生的問題(如clock skew, delay, crosstalk 等)，及光學製程修正技術(optical proximity correction, OPC) 修正製程的誤差以提高良率等研究，實為重要的研究課題。

由於 Chemical-Mechanical Polishing(CMP) 技術的進步，使得繞線層數得以顯著地增加。在CMP 技術中，因佈局形狀(layout pattern) 的變異會導致各層間介質(dielectric) 厚度的改變，進而造成良率(yield) 的降低及影響電路的效能(performance)。因此，如何解決process 佈局形狀變異的問題(如metal-fill patterning 及其衍生的dummy feature 電容等)，為design for manufacturability 重要的研究課題。

(2)模型(Modeling):

隨著操作頻率的提昇、超長連線的出現及訊號上升時間的減小，on-chip 電感的效應已開始顯著。此衍生以下的重要研究課題：快速且準確on-chip 電感的modeling 及extraction。目前此主題之研究瓶頸主要在於inductance matrix 的簡化(sparsification) 及current return loop 的決定等。同時考慮電阻、(耦合)電容和(耦合)電感效應的delay model 及同時考慮(耦合)電容和(耦合)電感效應的power model。由於繞線層數的增加(5, 6 層金屬已極為常見)，電容和電感的modeling 及extraction 需考慮3D 的geometry。而delay 及power 的modeling 亦需考慮同層及上下層間連線的耦合電容和電感。

(3)設計最佳化(Optimization):

面積(area)、訊號延遲(timing)和功率(power)為傳統設計自動化中最重要 design metrics。然而在奈米技術時代，訊號完整性(signal integrity)及可靠度(reliability) 的重要性日益提昇，此使得雜訊(noise)的處理(如capacitive and inductive crosstalk、ground bounce 等)、電磁干擾(electromagnetic interference, EMI) 的防制及 electromigration 的避免等，須與上述傳統metrics 並列考量。如何在實體設計各階段，以有效的技術(如調整電路元件尺寸、調整導線形狀及位置、加入導線遮罩及

緩衝器等方法)來解決前述metrics 的同步最佳化，為奈米電路設計自動化重要的研究問題。

目前的電子自動化設計工具大多僅能處理因電阻和電容所產生的效應，隨著 on-chip 電感效應的顯現，我們須發展能同步考慮電阻、電容和電感的實體設計工具(如RLC timing-driven, noise-aware router 等)。

除了一般訊號線外，clock 及 power/ground networks 的設計自動化也是目前重要的研究課題。Clock nets 通常具有最大的fanout、繞經最長的距離及需最高速的操作處理。因此如何設計省電、具有minimal skew(或最佳的skew scheduling)，並能考慮process variation 及edge rate 的high-speed, buffered clock nets 為高速數位電路設計不可或缺的一環。而power/ground networks 的設計旨在決定network 的topology 及其導線的寬度，以使用最小的silicon 面積，並防制IR drop 及electromigration 等所造成的訊號完整性及可靠度問題。由於操作電壓的日益降低，IR drop 所造成的noise，更容易造成電路無法正常運作，此對奈米電路的設計產生更嚴厲的挑戰。

(4)設計方法(Methodology):

在奈米技術下，電路之連線(interconnect)為決定效能(performance)的最關鍵因素，因此設計全程皆需考慮連線的效應，即以連線為導向之設計流程(interconnect-driven design flow)，以達成timing closure 及design convergence。此相關研究主題有layout-driven logic synthesis, interconnect-driven placement/floorplanning, buffer planning 等。由於元件的縮小及晶元尺寸的變大，電路的複雜度日益增高，而具有千萬個邏輯閘的單晶片已有量產。然而目前能處理極大型電路的實體合成及分析工具(如very large-scale circuit partitioner, placer, floorplanner, router, RLC extractor 等)卻極為匱乏，因此發展方法(如hierarchical/multilevel frameworks及design with incremental update/ECO等)以輔助極大型電路之設計，並提昇設計生產力(productivity)，為當今的重要研究課題。由於奈米技術下設計複雜度的與日俱增，階層化設計與IP block 已漸被使用，此趨勢使得block level 的placement/floorplanning/routing 及其timing budget 的決定，對電路設計品質的影響變得更為重要。因此發展快速具彈性，且能處理各種條件限制(如timing, area, noise 等metrics 及blocks 間alignment, abutment, proximity, obstacle, symmetry 等constraints)的IP integration 工具，日益受到重視。

可重組化系統的架構可概分為可重組態的邏輯模組、一般的邏輯模組及各種模組間資料傳輸的機制(如系統匯流排等)。其特點為整合多種功能(如微處理機、多媒體、通訊及記憶體等)，並利用可重組化模組time-sharing 的特性以增進可用邏輯的密度及彈性的大型電路設計。因此，此系統的設計，須整合各種大型功能模組，並

考慮可重組化模組執行時的各種時間先後順序限制(temporal constraints)，以達電路效能的最佳化。而如何有效地整合各類模組以節省晶粒的面積(die area)，滿足系統速度的要求，降低重組邏輯時的大量電力耗損，同時並防制各種電氣效應(如串音[crosstalk]，時脈不對稱[clock skew]等)所造成的問題，為重要待解的課題。